

Interface pour câble JTAG

L'interface jtag est utilisée, entre autre, pour la programmation in situ de CPLD et FPGA.

Le schéma électronique de l'interface décrite ici, à été optimisé pour un câblage et une mise en boîtier aisée. Quelques résistances accompagnées d'un 74HC244 suffisent à réaliser ce circuit et sa connexion sur le port parallèle d'un ordinateur vous permettra de profiter pleinement des possibilités offertes par la technologie jtag.

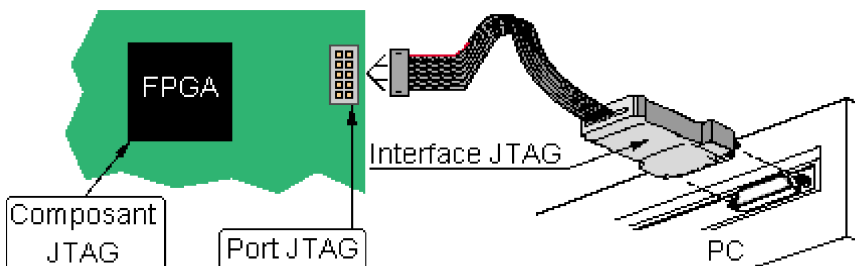
Historique du JTAG et utilisation

Le **J.T.A.G.** fût fondé en 1985 à l'initiative des sociétés telles que IBM, AT&T, Texas Instrument, Philips Electronics NV, Siemens, Alcatel et Ericsson pour créer une solution de test uniforme.

Une nouvelle méthode de test, Boundary-Scan Test (BST), naquis et fut adoptée par le groupe IEEE en 1990 sous la référence standard 1149.1.

Les cellules jtag embarquées dans les composants électroniques cibles donnent à l'utilisateur la possibilité de tester ou de programmer de la mémoire FLASH et des CPLD / FPGA depuis l'apparition du "Gang Testing and In-System Programming" en mars 2000.

Maintenant, dans la pratique, nous utilisons un ou plusieurs composants ISP soudés sur une carte munie d'un port jtag à 10 broches. Une **interface jtag** est connectée entre la carte cible et un ordinateur pour l'opération de programmation in-situ.



Interface JTAG ou programmeur d'eprom ?

Pour programmer les CPLD ALTERA EPM7032S / EPM7064S nous avons à notre

disposition deux méthodes.

La programmation par programmeur universel entraîne la nécessité de posséder [un adaptateur PLCC44 DIL48](#) pour l'enficher sur le programmeur.

J'ai déjà décrit ce genre de réalisation sur ce site.

La programmation par le port JTAG permet de programmer toute sorte de composants programmables in situ.

Pour les CPLD et FPGA ALTERA, elle se fait à l'aide d'une interface connectée au port parallèle du PC.

Le câble ByteBlasterMV

En consultant diverses ressources sur le net on trouvera des solutions variées quand à la réalisation d'un câble JTAG.

Chacune des réalisations est motivée par l'envie de programmer tel ou tel composant ou bien de modifier le firmware d'un appareil du commerce.

Le câble ByteBlasterMV est la solution que le constructeur ALTERA à mise en oeuvre pour la programmation par port jtag des composants CPLD / FPGA qu'il commercialise. Ce câble est le dispositif qu'ALTERA préconise d'utiliser conjointement avec le logiciel MAX+PLUS II ou Quartus II ; il n'est ni plus ni moins qu'une interface JTAG pour port parallèle de PC.

Le schéma électronique de cette interface est disponible sur le site d'ALTERA ou sur des documentations et CD divers émanant du constructeur.

Caractéristiques de l'interface

Cette interface s'utilise sur un PC équipé d'un port parallèle 25 broches.

Elle permet : la programmation in-situ des composants MAX 9000, MAX 7000S, MAX 7000A, MAX7000B, et MAX3000A,

la configuration APEX II, APEX 20K (inclus APEX 20K, APEX 20KE, and APEX 20KC), ACEX 1K, Mercury , FLEX 10K (inclus FLEX 10KA and FLEX 10KE), FLEX 8000, FLEX 6000 et les solutions processeur embarqué Excalibur.

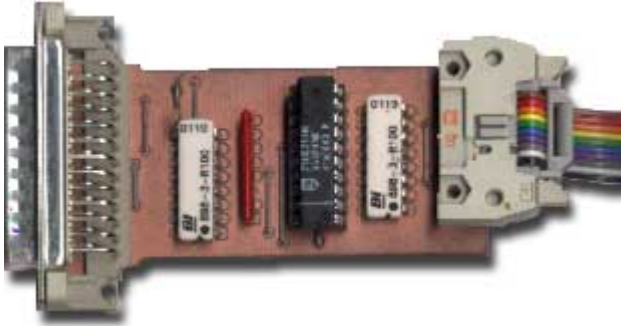
L'alimentation en 3,3 V ou 5 V est amenée par le port jtag la carte cible.

Le téléchargement des données s'effectue à partir des logiciels MAX+PLUS II ou Quartus II.

L'utilisation est faite avec un connecteur 10 broches mâles sur la carte cible.

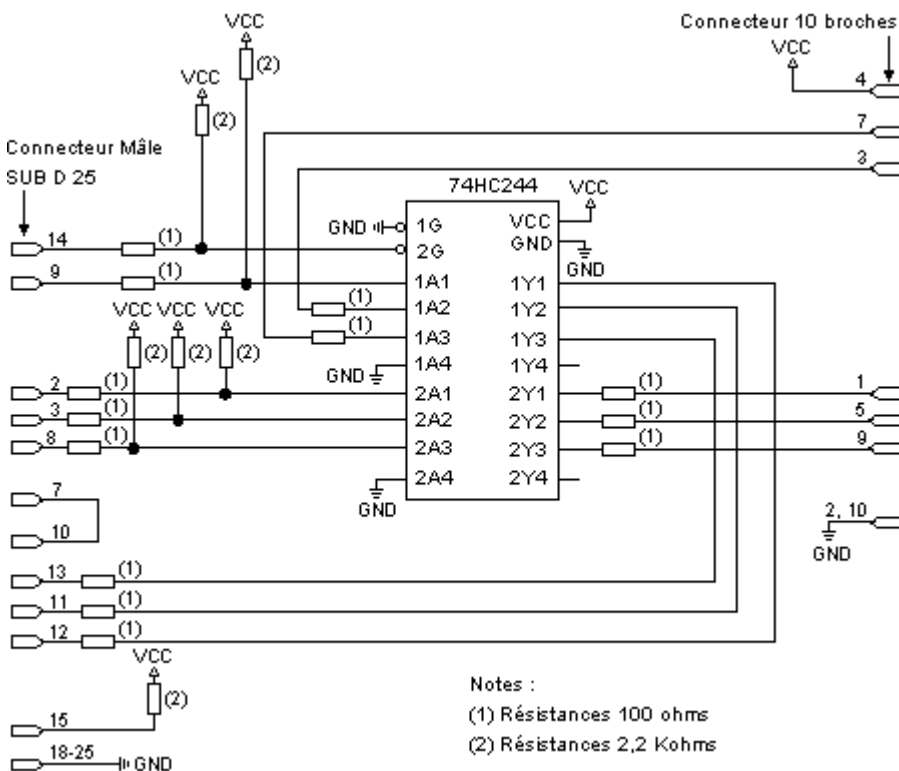
Prototype d'une interface

La première interface jtag que j'ai réalisé, est un prototype gravé avec une machine à commande numérique (réalisation 2001 qui fonctionne toujours).



Nous distinguons au centre le 74HC244 monter sur support tulipe. Le 74HC244 est un octuple tampon non inverseur servant également de commande de ligne à trois états. Le circuit 74HC244 est conçu pour améliorer le fonctionnement des systèmes de commande d'horloge et des émetteurs-récepteurs de bus.

Schéma électronique



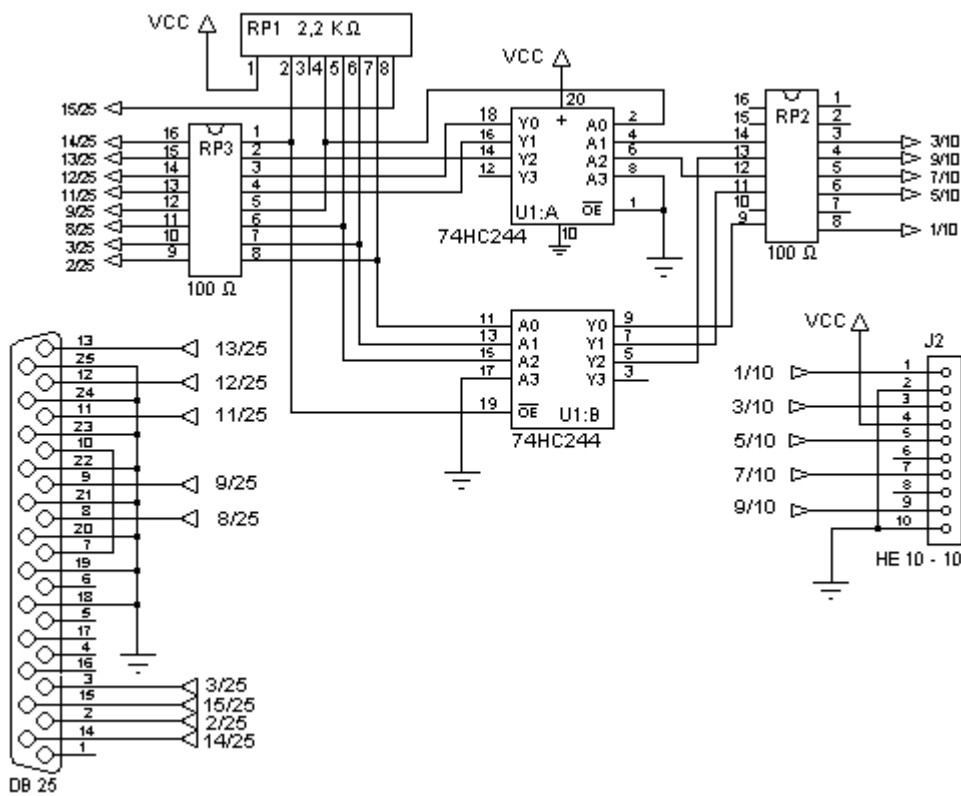
La version Positron-libre

En observant le schéma électronique ci-dessus on remarquera l'utilisation répétée

des résistances de 100 ohms et 2,2 Kohms.

Dans un souci de facilité de réalisation (routage, implantation, soudage) j'ai adapté ce schéma en utilisant des [réseaux de résistances dip et sip](#). Cette version à composants traversants (le [soudage](#) des cms n'est pas encore à la portée de tous) n'en comporte que 4 à souder (plus les connecteurs). Les chances de se tromper sont quasi nulles (tous les composants sont orientés dans le même sens).

Ceux ou celles qui opterons pour un circuit simple face implanterons les ponts de câblage (straps remplaçant les pistes côté composants) avant toute chose.



Routage

Le circuit est réalisable en simple face mais la version double face procure une facilité de câblage accrue.

Ci-dessous : aperçu du tracé côté cuivre vu de dessous (images non exploitables dans cet affichage).

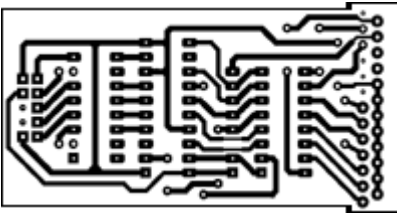
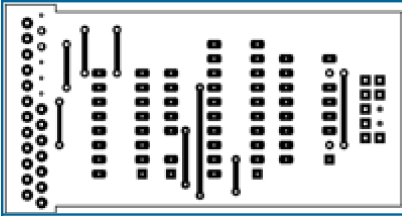
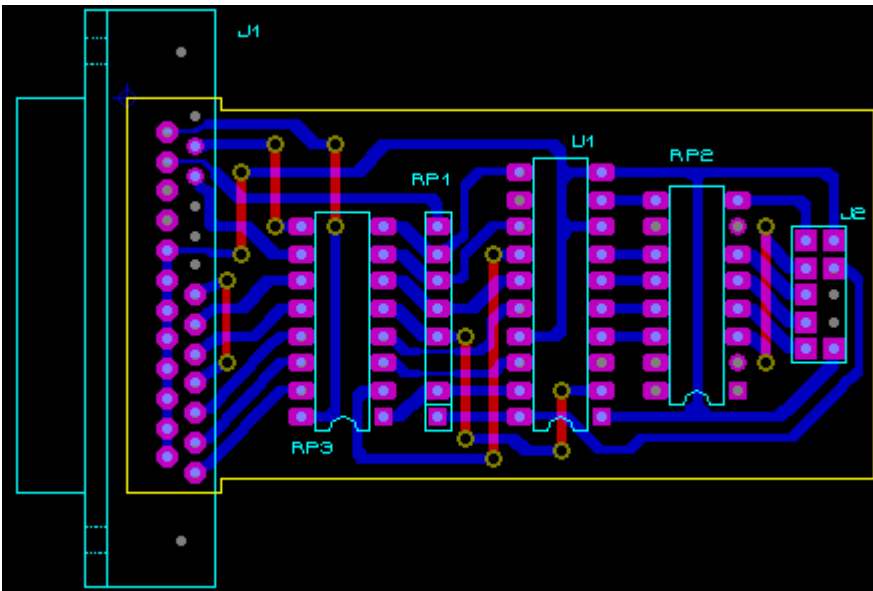


Image suivante : aperçu des pistes côté composant vu de dessus.



Implantation des composants

Vue de dessus du circuit imprimé (les pistes des soudures sont vues par transparence)



Nomenclature

- 1 support DIL tulipe 20 pins,
- 2 réseaux de résistances DIL 8 x 100 ohms (RP2 et RP3),
- 1 réseaux de résistances SIL 7 x 2,2 K-ohms (RP1),

- 1 74HC244,
- 1 embase HE10 2 x 5 contacts (10 points),
- 1 connecteur DB 25 mâle à souder sur CI, couder 90° (sans vis),
- un boîtier / capot pour DB25,
- 2 connecteurs HE10 femelle 10 points,
- 30 cm de nappe 10 conducteur (vous pouvez aussi acheter une nappe toute faite),
- éventuellement une rallonge port imprimante (câblée complète c'est mieux).

Construction de l'adaptateur

TÉLÉCHARGEZ

Les Plans et Docs Techniques

CONSTRUCTION ÉTAPE PAR ÉTAPE EXPLIQUÉE

Les fichiers CAO ISIS / ARES,  
les fichiers Gerber pour la fabrication du CI,
les plans et schémas au format Pdf et image,
les images des routages (typon) en pdf, gif et png...

 **Téléchargez le PDF** tout de suite : 

Votre Email :

Le dossier technique complet pour la fabrication de ce montage est disponible à partir de cette page :

<http://www.positron-libre.com/sq/acceslibre.php?idl=montages>